

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PROGRAMMABLE READ ONLY MEMORY AND ITS WRITING METHOD

Patent Number: JP61292295
Publication date: 1986-12-23
Inventor(s): SUZUKI TETSUO
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP61292295
Application: JP19850133836
Priority Number(s):
IPC Classification: G11C17/00; G11C17/06
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent the breakdown of a diode or a transistor which constitutes a memory cell and a capacitor for a non-writing memory cell by performing a writing using three or more potentials.

CONSTITUTION: A programmable read-only memory connects a memory cell which consists of a capacitor C connected in series and a diode D or a transistor Q between each word line WL and each bit line BL respectively. When the writing is performed with breaking down the capacitor C, assuming that a selecting word line impression voltage is set as V_{rS} , a selecting bit line impression voltage as V_{cS} , a non-selecting word line impression voltage as V_{rN} , a non-selecting bit line impression voltage V_{cN} , a writing threshold voltage which breaks down the capacitor as V_{WT} and the breakdown voltage of the diode or the transistor as V_B , the writing can be performed by the selection of each voltage so as to satisfy expressions (1)-(4). Assuming that $V_{cN}=V_{rS}$, the writing condition can be satisfied on three voltage levels.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-292295

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)12月23日

G 11 C 17/00
17/06

1 0 1

6549-5B
6549-5B

審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 プログラマブルリードオンリメモリおよびその書込方法

⑯ 特 願 昭60-133836

⑰ 出 願 昭60(1985)6月19日

⑱ 発 明 者 鈴木 哲 雄 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地
⑳ 代 理 人 弁理士 松岡 宏四郎

明 細 書

1. 発明の名称

プログラマブルリードオンリメモリ
およびその書込方法

2. 特許請求の範囲

(1) 各ワード線(WL)と各ビット線(BL)間に、直列に接続されたキャパシタ(C)とダイオード(D)もしくはトランジスタ(Q)とよりなるメモリセルをそれぞれ接続してなるメモリセルアレイ(11)と、
該メモリセルアレイに、つぎの関係式
選択ワード線(WL)に印加する電圧を V_{rs} 、
選択ビット線(BL)に印加する電圧を V_{cs} 、
非選択ワード線(WL)に印加する電圧を V_{rw} 、
非選択ビット線(BL)に印加する電圧を V_{rb} 、
キャパシタ(C)を絶縁破壊する、書きしきり値電圧を V_{wt} 、
ダイオード(D)もしくはトランジスタ(Q)の破壊電圧を V_b とすると、

$$V_{wt} \leq V_{rs} - V_{cs} \quad \dots \dots \dots (1)$$

$$-V_b < V_{rs} - V_{cw} < V_{wt} \quad \dots \dots (2)$$

$$-V_b < V_{rw} < V_{wt} \quad \dots \dots \dots (3)$$

$$-V_b < V_{rw} - V_{cw} < V_{wt} \quad \dots \dots (4)$$

を満足する電圧レベル V_{rs} 、 V_{cs} 、 V_{rw} 、 V_{cw} を与えるドライバ回路

とを含むことを特徴とするプログラマブルリードオンリメモリ。

(2) 各ワード線(WL)と各ビット線(BL)間に、直列に接続されたキャパシタ(C)とダイオード(D)もしくはトランジスタ(Q)とよりなるメモリセルをそれぞれ接続してなる読出専用メモリの所定のメモリセルを選択して、該キャパシタ(C)を絶縁破壊して書き込む際に、

選択ワード線(WL)に印加する電圧を V_{rs} 、

選択ビット線(BL)に印加する電圧を V_{cs} 、

非選択ワード線(WL)に印加する電圧を V_{rw} 、

非選択ビット線(BL)に印加する電圧を V_{rb} 、

キャパシタ(C)を絶縁破壊する、書きしきり値電圧を V_{wt} 、

ダイオード(D)もしくはトランジスタ(Q)の破

壊電圧を V_0 とすると、

$$V_{WT} \leq V_{PS} - V_{CS} \quad \dots (1)$$

$$-V_0 < V_{PS} - V_{CN} < V_{WT} \quad \dots (2)$$

$$-V_0 < V_{PN} < V_{WT} \quad \dots (3)$$

$$-V_0 < V_{PN} - V_{CN} < V_{WT} \quad \dots (4)$$

の関係式を満足して書込を行うことを特徴とする
プログラマブルリードオンリメモリの書込方法。

(4) 前記の関係式において、

$$V_{CN} = V_{PS}$$

が成立することを特徴とする特許請求の範囲第2
項記載のプログラマブルリードオンリメモリの書
込方法。

3. 発明の詳細な説明

(概要)

BIC-PRON (Breakdown of Insulator for Con-
duction-Programmable Read Only Memory) の書込
時に、非書込メモリセルのキャパシタに高電圧が
印加されて、これが絶縁破壊を起こすのを防止し、
かつメモリセルを構成するダイオードもしくはト

ランジスタの破壊を防止する電源電圧レベルの組
合せを考慮したBIC-PRONおよびその書込方法を提
案する。

(産業上の利用分野)

本発明はメモリセルを構成するダイオードもし
くはトランジスタと、非書込メモリセルのキャパ
シタの破壊を防止するBIC-PRONおよびその書込方
法に関する。

BIC-PRONはメモリセルを構成するキャパシタに
高電圧を印加して絶縁破壊を起こさせて導通状態
にすることにより書込を行うPRONで、書込時間が
数 μ secと短かく、書込後もダイオードもしくは
トランジスタにより論理を構成することができる
ため、各種情報機器に用いられることが予想され
る。

しかしながらBIC-PRONを実用化するためには、
非書込メモリセルのキャパシタに高電圧が印加さ
れて、これが絶縁破壊を起こすのを防止し、かつ
メモリセルを構成するダイオードもしくはトラン

ジスタの破壊を保護する書込方法、書込回路の工
夫が必要となってくる。

(従来の技術と発明が解決しようとする問題点)

BIC-PRONの構造は本出願人によって提案された
新規の構造のため、その書込方法も新規な方法が
必要となる。

従来のフェーズROMのように、書込を単に高レ
ベルと低レベルの組合せだけで行うのでは、メモ
リセルを構成するダイオードもしくはトランジス
タを破壊し、非書込メモリセルのキャパシタの絶
縁破壊を惹起する場合が生ずるので、これらを防
止する工夫が必要となる。

(問題点を解決するための手段)

上記問題点の解決は、各ワード線(WL)と各ビッ
ト線(BL)間に、直列接続されたキャパシタ(C)と
ダイオード(D)もしくはトランジスタ(Q)とより
なるメモリセルをそれぞれ接続してなるメモリセ
ルアレイ(11)と、

該メモリセルアレイにつぎの関係式、

選択ワード線(WL)に印加する電圧を V_{PS} 、

選択ビット線(BL)に印加する電圧を V_{CS} 、

非選択ワード線(WL)に印加する電圧を V_{PN} 、

非選択ビット線(BL)に印加する電圧を V_{CN} 、

キャパシタ(C)を絶縁破壊する、書込しきい値
電圧を V_{WT} 、

ダイオード(D)もしくはトランジスタ(Q)の破
壊電圧を V_0 とすると、

$$V_{WT} \leq V_{PS} - V_{CS} \quad \dots (1)$$

$$-V_0 < V_{PS} - V_{CN} < V_{WT} \quad \dots (2)$$

$$-V_0 < V_{PN} < V_{WT} \quad \dots (3)$$

$$-V_0 < V_{PN} - V_{CN} < V_{WT} \quad \dots (4)$$

を満足する電圧レベル V_{PS} 、 V_{CS} 、 V_{PN} 、 V_{CN} を
与えるドライバ回路

とを含む本発明によるプログラマブルリードオ
ンリメモリおよび

各ワード線(WL)と各ビット線(BL)間に、直列接
続されたキャパシタ(C)とダイオード(D)もしくは
トランジスタ(Q)とよりなるメモリセルをそれ

ぞれ接続してなる読出専用メモリの所定のメモリセルを選択して、誘キ+バシタ(C)を絶縁破壊して書き込む際に、

選択ワード線(WL)に印加する電圧を V_{rs} 、
 選択ビット線(BL)に印加する電圧を V_{cs} 、
 非選択ワード線(WL)に印加する電圧を V_{rn} 、
 非選択ビット線(BL)に印加する電圧を V_{cn} 、
 キ+バシタ(C)を絶縁破壊する、書き込み値電圧を V_{wt} 、

ダイオード(D)もしくはトランジスタ(Q)の破壊電圧を V_b 、とすると、

$$V_{wt} \leq V_{rs} - V_{cs} \quad \dots (1)$$

$$-V_b < V_{rs} - V_{cn} < V_{wt} \quad \dots (2)$$

$$-V_b < V_{rn} < V_{wt} \quad \dots (3)$$

$$-V_b < V_{rn} - V_{cn} < V_{wt} \quad \dots (4)$$

の関係式を満足して書込を行う本発明による書込方法により達成される。

前記の関係式において、

$$V_{cn} = V_{rs}$$

とすれば、3つの電圧レベルで書込条件を満足で

選択セルでは、 $V_{wt} \geq V_{wt}$

非選択セルでは、 $-V_b < V_{wt} < V_{wt}$

であることが必要となる。

選択ロウ線の電圧を V_{rs} 、

選択コラム線の電圧を V_{cs} 、

非選択ロウ線の電圧を V_{rn} 、

非選択コラム線の電圧を V_{cn}

とすると、

(1) 選択セルでは、

$$V_{wt} \leq V_{rs} - V_{cs} \quad \dots (1)$$

なるように、 V_{rs} 、 V_{cs} を選ぶことにより、書込を可能とし、

(2) 非選択セルでは、

(2-1) 選択ロウ線上の非選択セルにおいては、

$V_{cn} > 0$ にして、

$$-V_b < V_{rs} - V_{cn} < V_{wt} \quad \dots (2)$$

(2-2) 選択コラム線上の非選択セルにおいては、

$$-V_b < V_{rn} < V_{wt} \quad \dots (3)$$

(2-3) 非選択ロウ線上の非選択セルにおいては、

$$-V_b < V_{rn} - V_{cn} < V_{wt} \quad \dots (4)$$

きる。

(作用)

第1図(1)と(2)(3)はそれぞれ本発明の原理を説明するBIC-PROMのメモリセルアレイのブロック図とメモリセルの等価回路図である。

第1図(2)のメモリセルはダイオードDとキ+バシタCを直列に接続してなる例を示し、

第1図(3)のメモリセルはトランジスタQとキ+バシタCを接続してなる例を示す。

図において、ロウ(row) 0、ロウ 1はワード線WL、コラム(column) 0、コラム 1、コラム 2はビット線BLを構成し、(00)、(01)、(02)、(10)、(11)、(12)はそれぞれのワード線とビット線間に接続されたメモリセル、Dはダイオード、Cはキ+バシタである。

いま、メモリセル(00)を選択して、これに書込を行う場合を考える。

書込時にメモリセルに印加される電圧を V_w 、ダイオードDの逆耐圧を V_b 、とすると、

なるように、 V_{rs} 、 V_{cs} 、 V_{rn} 、 V_{cn} を選ぶことにより、ダイオードDを破壊しないで、かつキ+バシタCは絶縁破壊を起こさない、従って書込は行われない。

以上のように4つの電圧を未知数とする、上記4つの式を満足するように各電圧を選ぶことにより書込を行うことができる。

前記の関係式において、

$$V_{cn} = V_{rs}$$

とすれば、3つの電圧レベルで書込条件を満足できる。

(実施例)

第1図(4)は本発明によるBIC-PROMの構成を示すブロック図である。

図において、11はBIC-PROMのセルアレイである。周辺回路はロウデコーダ12、コラムデコーダ13、読出/書込(R/W)アンプ14、アドレスレジスタ15よりなる。

ロウデコーダ12、コラムデコーダ13、(R/W)ア

ンプ14は本発明のドライバ回路を含む周辺回路である。

アドレスレジスタ15はバス16よりアドレス信号を受けて、プログラムコントロールを行い、その出力をロウデコード13とコラムデコード14へ送る。

(R/W)アンプ14はセルアレイ11のコラム線に接続され、バス16との間でデータの授受を行う。

第2図はBIC-PROMを用いたマイクロコントローラの構成を示すブロック図である。

図において、21はROMで、ここではBIC-PROMを用いる。

22は中央処理装置(CPU)、23はランダムアクセスメモリ(RAM)、24は入出力装置(I/O)、25はバスである。

第3図は本発明を説明するBIC-PROMのメモリセルの構造を示す断面図である。

図のメモリセルは第1図(2)のダイオードとキャパシタを直列に接続してなる例を示す。

図において、1は半導体基板で珪素(Si)基板、2はn型Si層、3はp型Si層、4は素子分離層で

二酸化珪素(SiO_2)層、5は高濃度にドーパされた多結晶珪素(ポリSi)層、6はキャパシタの誘電体層で SiO_2 層、7は配線層兼キャパシタの電極でアルミニウム(Al)層である。

n型Si層2とp型Si層3で構成されるダイオードと、ポリSi層5と SiO_2 層6とAl層7で構成されるキャパシタとが直列に接続して素子分離層4内に形成される。

いま、このような構造を有するメモリセルに書き込む場合について述べる。

SiO_2 層6を例えば200Å程度に薄く形成し、キャパシタの両電極(ポリSi層5とAl層7)間に例えば $V_{WT}=14V$ を印加し、 SiO_2 層6を絶縁破壊して書き込み、プログラムする。

プログラム後にワード線とビット線間に接続されるダイオードの逆耐圧は比較的 low、例えば $V_{\sigma}=8V$ とする。

まず、 $V_{cs}=0V$ とすると、

(1)式より、 $14 \leq V_{rs}$

つぎに、 $V_{rs}=15V$ とくと、

(2)式より、 $1 < V_{cn} < 23$

(3)式より、 $-8 < V_{rn} < 14$

(4)式より、 $-8 < V_{rn} - V_{cn} < 14$

となり、これらの条件を満足する V_{rn} と V_{cn} を選択することにより書き込みを行う。

さらに、 $V_{cn} = V_{rs} = 15V$ とくと、

(4)式より、 $7 < V_{rn} < 29$

となり、例えば $V_{rn}=8V$ とすると、この電圧レベルと、 $V_{rs}=V_{cn}=15V$ と、 $V_{cs}=0V$ との3つの電圧レベルがあれば、上記の条件を満足することができる。

以上の方法をとることにより、BIC-PROMに対する書き込みを行うことができる。

第4図(1)、および(2)は3つ以上の電位を制御するロウ、およびコラムドライバの一例を示す回路図である。

図において、 $Q_1 \sim Q_4$ はNISトランジスタで、奇数番の Q_1 、 Q_3 、 Q_5 、 Q_7 、 Q_9 、 Q_{11} はpチャネル型で太線の記号で表し、その他はnチャネル型である。

電源は15、8、5Vの3種類の電圧レベルを用い、それぞれ図示の記号で区別した。

各ドライバを制御する入力信号は、バスからのアドレスをデコードした信号とデータ信号とより得られる。

第4図(1)はロウドライバで、 Q_1 と Q_2 、 Q_3 と Q_4 、 Q_5 と Q_6 はそれぞれCMOSインバータを構成する。

書き込み時はR/W信号は低レベル"0"で、従ってnチャネルの Q_1 はオフ、nチャネルの Q_3 は入力に高レベル"1"が入るためオン、pチャネルの Q_2 は入力に低レベル"0"が入るためオンとなる。

このような状態においては、 Q_3 と Q_4 で構成されるインバータは、デコータ出力より入るインバータの入力信号の"0"、"1"に応じて、その出力(ロウ線に接続される)は15V、8Vとなり、電圧の切り換えができる。

Q_1 と Q_2 、 Q_5 と Q_6 で構成されるインバータは通常レベルの5Vより15Vに振幅の変換を行う。

読出し時は、R/W信号は高レベル"1"で、nチャネルの Q_1 はオン、pチャネルの Q_2 はオフで、p

チャネルの Q_3 はゲート・ソース間を短絡して負荷トランジスタとなり、 Q_3 と Q_4 で構成されるインバータは通常の5Vレベルの動作を行う。

第4図(2)はコラムドライバで、 Q_{11} と Q_{12} で構成されるCMOSインバートの振幅変換回路である。

デコータ出力より入るインバートの入力信号の“0”、“1”に応じて、その出力(ロウ線に接続される)は15V、0Vとなり、電圧の切り換えができる。

(発明の効果)

以上詳細に説明したように本発明によれば、3個以上の電位を使うことにより、メモリセルを構成するダイオードもしくはトランジスタを破壊しないで、かつ非番込メモリセルのキャパシタの絶縁破壊をを起こすことのないBIC-PRAMが得られ、かつその番込を行うことができる。

4. 図面の簡単な説明

第1図(1)と(2)(3)はそれぞれ本発明の原理を説明

するBIC-PRAMのメモリセルアレイのブロック図とメモリセルの等価回路図、

第1図(4)は本発明によるBIC-PRAMの構成を示すブロック図、

第2図はBIC-PRAMを用いたマイクロコントローラの構成を示すブロック図、

第3図は本発明を説明するBIC-PRAMのメモリセルの構造を示す断面図である。

第4図(1)、および(2)は3つ以上の電位を制御するロウ、およびコラムドライバの一例を示す回路図である。

図において、

11はBIC-PRAMのセルアレイ、

12はロウデコード、

13はコラムデコード、

14はR/Wアンプ、

15はアドレスレジスタ、

16はバス、

WLはロウ0、ロウ1よりなるワード線、

BLはコラム0、コラム1、コラム2

(00)、(01)、(02)、(10)、(11)、(12)

はメモリセル、

Dはダイオード、

Qはトランジスタ、

Cはキャパシタ、

1は半導体基板でSi基板、

2はn型Si層、

3はp型Si層、

4は素子分離層で SiO_2 層、

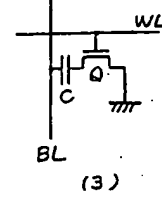
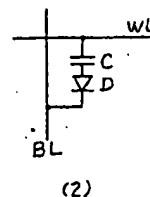
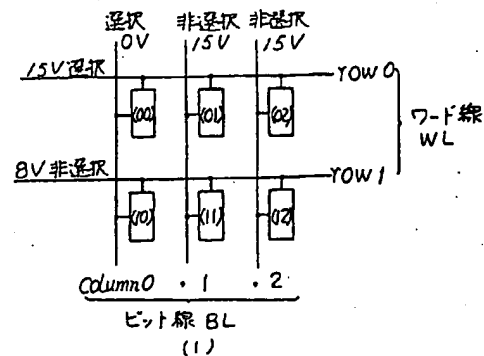
5は高濃度にドーパされたポリSi層、

6はキャパシタの誘電体層で SiO_2 層、

7は配線層兼キャパシタの電極でAl層

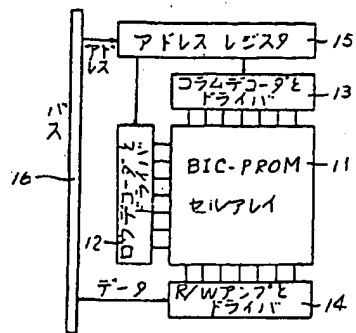
である。

代理人 弁理士 松岡宏四郎

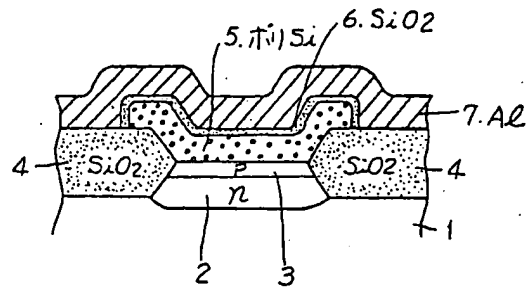


本発明を説明するBIC-PRAMのメモリセルアレイ(1)とメモリセルの等価回路(2)、(3)

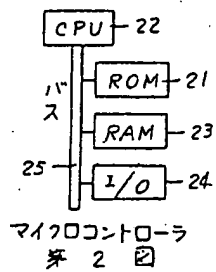
第1図



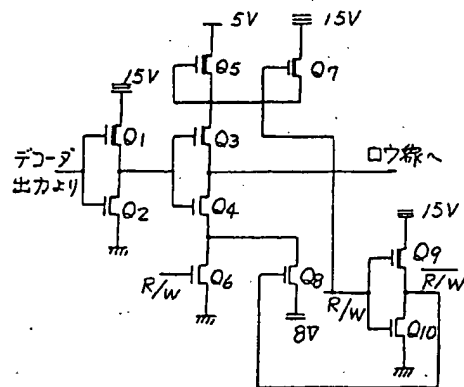
(4) 本発明のBIC-PROM
第1図



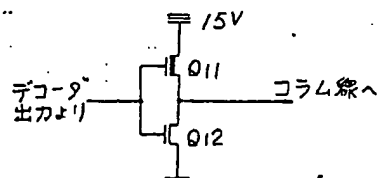
本発明を説明するメモリセルの断面図
第3図



マイクロコントローラ
第2図



(1) ロウドライバ



(2) コラムドライバ
電位制御回路の一例
第4図